

日 本 国 特 許 庁  
PATENT OFFICE  
JAPANESE GOVERNMENT

R. Kubota et al.

3/27/01  
Q62494  
lofi



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日  
Date of Application:

2000年 3月30日

出 願 番 号  
Application Number:

特願2000-094325

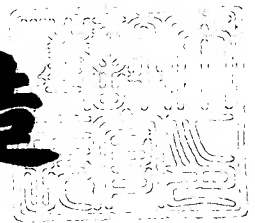
出 願 人  
Applicant (s):

日本電気株式会社

2000年10月 6日

特 許 庁 長 官  
Commissioner,  
Patent Office

及 川 耕 造



出証番号 出証特2000-3082950

【書類名】 特許願

【整理番号】 74112157

【提出日】 平成12年 3月30日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/10

【発明者】

【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

【氏名】 窪田 亮

【発明者】

【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

【氏名】 井上 顕

【特許出願人】

【識別番号】 000004237

【氏名又は名称】 日本電気株式会社

【代理人】

【識別番号】 100088328

【弁理士】

【氏名又は名称】 金田 暢之

【電話番号】 03-3585-1882

【選任した代理人】

【識別番号】 100106297

【弁理士】

【氏名又は名称】 伊藤 克博

【選任した代理人】

【識別番号】 100106138

【弁理士】

【氏名又は名称】 石橋 政幸

【手数料の表示】

【予納台帳番号】 089681

特 2 0 0 0 - 0 9 4 3 2 5

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9710078

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 CMOS ロジック回路部と、ポリシリコンで形成された、シリンドー型の容量下部電極を有する DRAM 部とが混載されたシステムオンチップの半導体装置の製造方法であって、

前記 CMOS ロジック回路部および DRAM 部のトランジスタをそれぞれ形成する第 1 の工程と、

全面に層間膜を形成し、該層間膜に溝部を形成する第 2 の工程と、

全面にポリシリコン膜を形成し、該ポリシリコン膜の表面に HSG を形成する第 3 の工程と、

前記溝部以外の前記ポリシリコン膜を除去して前記容量下部電極を形成する第 4 の工程と、  
を有する半導体装置の製造方法。

【請求項 2】 前記層間膜に BPSG を含む請求項 1 記載の半導体装置の製造方法。

【請求項 3】 前記 CMOS ロジック部が有する p チャネルトランジスタのポリシリコンから成るゲート電極にボロンが注入された請求項 1 または 2 記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は CMOS ロジック回路部と DRAM が一つのチップ上に混載される半導体装置の製造方法に関する。

【0002】

【従来の技術】

汎用 DRAM は、情報を記憶するための複数のメモリセルと、メモリセルを選択するためのデコード回路等からなる周辺回路とが同一の半導体基板上に形成されている。

## 【0003】

メモリセルは、信号電荷を蓄積することで情報を記憶する容量素子と、容量素子への信号電荷の蓄積や容量素子に蓄積された信号電荷を読み出すためのスイッチング素子であるトランジスタとを備えている。なお、トランジスタには、高集積化に有利なことからMOS (Metal Oxide Semiconductor) 構造、あるいはMIS (Metal Insulator Semiconductor) 構造のFET (Field Effect Transistor) が用いられる。また、周辺回路用のトランジスタには、製造工程をメモリセルと統一するため、メモリセルと同じ構造のFETが用いられる。

## 【0004】

近年の汎用DRAMは高集積化のためにメモリセルに対する更なる小型化が要求されている。しかしながら、容量素子の容量値は基本的に電極の面積とそれらに挟まれた絶縁膜の比誘電率によって決まるため、高容量化と小型化を両立させるためには特別な工夫が必要である。そこで、所望の容量を確保するために容量素子を立体的な構造で形成することが検討され、例えば、図4に示すようなシリンドー構造あるいは図5に示すようなスタック構造が採用されている。

## 【0005】

図4はシリンドー構造の容量素子を有する汎用DRAMの要部の構造を示す側断面図であり、図5はスタック構造の容量素子を有する汎用DRAMの要部の構造を示す側断面図である。

## 【0006】

図4に示すように、シリンドー構造の容量素子は、基板全面に成膜された層間膜102に溝(シリンドー103)が形成され、シリンドー103の内壁に沿って、リン(P)等の不純物が注入されたポリシリコン膜からなる下部電極(以下、容量下部電極と称する場合もある)104、 $\text{Si}_3\text{N}_4$ 膜や $\text{Ta}_2\text{O}_5$ 膜等から成る容量膜105、及び下部電極104と同様のポリシリコン膜からなる上部電極107が順に積層された構造であり、シリンドー103を深く形成することで下部電極104や上部電極107の表面積を大きくしている。

## 【0007】

なお、容量素子の下部電極104にポリシリコン膜を用いる場合、下部電極1

04の表面に微細な凹凸を設けて表面積を拡大する手法が試みられ、具体的には、HSG (Hemispherical Grained Polysilicon) と呼ばれる球状、あるいは半球状のグレインが下部電極104の表面に形成される。また、容量膜105に $Ta_2O_5$ 膜を用いる場合は、 $Ta_2O_5$ 膜とポリシリコンの反応を抑制するための窒化チタン (TiN) 膜106が $Ta_2O_5$ 膜上に成膜される。

#### 【0008】

一方、図5に示すように、スタック構造の容量素子は、基板全面に成膜された層間絶縁膜202上に、リン (P) 等の不純物が注入されたポリシリコン膜からなる凸形状の下部電極204が形成され、該下部電極204上に $Si_3N_4$ 膜や $Ta_2O_5$ 膜等から成る容量膜205、及び下部電極204と同様のポリシリコン膜から成る上部電極207が順に積層された構造あり、凸形状の下部電極204を大きく形成することで下部電極204や上部電極207の表面積を大きくしている。なお、容量素子の下部電極204にポリシリコン膜を用いる場合、図5に示すように、下部電極204の表面積を拡大するためにHSG206が形成される。

#### 【0009】

次に、上記容量素子を有する半導体装置 (汎用DRAM) の製造方法について図6～図9を用いて説明する。

#### 【0010】

図6及び図7は従来のシリンダー構造の容量素子を有する半導体装置の製造手順を示す側断面図であり、図8は従来のシリンダー構造の容量素子を有する半導体装置の他の製造手順を示す側断面図である。また、図9は従来のスタック構造の容量素子を有する半導体装置の製造手順を示す側断面図である。

#### 【0011】

なお、図6～図9ではメモリセル用のトランジスタとしてMOS構造のnチャネルトランジスタをp型半導体基板に形成する場合で説明する。また、図6～図9では周辺回路用のトランジスタを記載していないが、周辺回路用のnチャネルトランジスタはメモリセル用のトランジスタと同じ構成であり、pチャネルトランジスタはチャネル領域やソース・ドレイン領域の不純物の種類が違ふことを除

けば基本的に同じ構造である。

【 0 0 1 2 】

最初に、図 6 ～ 図 8 を用いてシリンダー構造の容量素子を有する汎用 D R A M の製造方法の例について説明する。

【 0 0 1 3 】

まず、各トランジスタを分離するための素子分離領域 1 1 1 として、酸化膜が充填された一様な深さの溝（S T I : Shallow Trench Isolation）を公知の方法を用いて p 型半導体基板 1 1 0 に形成する（図 6（a））。

【 0 0 1 4 】

続いて、トランジスタの形成領域に、例えば、ボロン（B）を注入してチャネル領域（不図示）を形成した後、p 型半導体基板 1 1 0 の表面を熱酸化させることで厚さ 7 0 ～ 8 0 オングストローム程度のゲート酸化膜 1 1 2 を成膜する。さらに、その上にゲート電極となる厚さ 1 5 0 0 オングストローム程度（3 0 0 0 オングストローム以下）のポリシリコン膜を C V D 法を用いて成膜し、フォトリソグラフィ技術を用いてそれらを所望の形状にパターニングし、ゲート電極 1 1 3 を形成する。

【 0 0 1 5 】

次に、ゲート電極 1 1 3 をマスクとして用い、p 型半導体基板 1 1 0 にヒ素（As）あるいはリンを注入して S D エクステンション領域（不図示）を形成する。続いて、全面にシリコン酸化膜、シリコン窒化膜またはそれらを積層した絶縁膜を堆積し、エッチバックを行ってゲート電極 1 1 3 の側面にサイドウォール 1 1 4 を形成する。そして、ゲート電極 1 1 3 及びサイドウォール 1 1 4 をマスクとして用い、p 型半導体基板 1 1 0 にヒ素あるいはリンを注入してソース・ドレイン領域 1 1 5 を形成する（図 6（b））。

【 0 0 1 6 】

次に、全面に厚さ 5 0 0 0 ～ 8 0 0 0 オングストロームの  $S i O_2$  から成る層間絶縁膜 1 1 6 を常圧 C V D 法を用いて成膜し、その上にフォトレジスト 1 1 7 を成膜してパターニングを行い、フォトレジスト 1 1 7 開口部の層間絶縁膜 1 1 6 をエッチング除去して、トランジスタのドレインと層間絶縁膜 1 1 6 の上面を

繋げる容量コンタクト118を形成する(図6(c))。なお、層間絶縁膜116はBPSG(Boro Phosph Silicate Glass)を含む構成にしてもよい。

#### 【0017】

次に、フォトリジスト117を除去した後、容量コンタクト118内に、例えば、リンがドーピングされたポリシリコン膜からなる容量電極119を埋め込む。さらに、層間絶縁膜116上に厚さ6000~14000オングストロームのBPSG等から成るシリンダー層間膜120を成膜し、800℃~850℃、10~30min程度の熱処理を行ってBPSGを焼きしめる。なお、シリンダー層間膜120はBPSG膜の上に常圧CVD法により成膜したSiO<sub>2</sub>膜が積層された構造であってもよい。

#### 【0018】

続いて、全面にフォトリジスト121を形成してパターニングを行い、フォトリジスト121開口部のシリンダー層間膜120をエッチング除去して、容量コンタクト118とシリンダー層間膜120の上面を繋げる溝(シリンダー122)を形成する(図6(d))。このとき形成されたシリンダー122内にDRAM用の容量素子が形成される。

#### 【0019】

次に、フォトリジスト121を除去した後、シリンダー122の内壁を含む全面に容量素子の下部電極123となるリンが注入された厚さ1500~3000オングストローム程度のポリシリコン膜(ドーピング量:  $1 \times 10^{19} \sim 1 \times 10^{20}$  atoms/cm<sup>3</sup>程度)を成膜する(図7(e))。さらに、全面にフォトリジスト124を形成し、シリンダー122内のみにフォトリジスト124が残るようにパターニングを行い、シリンダー層間膜120上のポリシリコン膜をエッチング除去する。

#### 【0020】

続いて、シリンダー122内のフォトリジスト124を除去した後、シラン(SiH<sub>4</sub>)を照射しつつアニール処理(500~600℃、10~60min程度)を行ってHSGの核を下部電極上に形成し、さらに、真空中でアニール処理(500~600℃、10~60min)を行うことにより核の周りにグレイン



を成長させてHSG124を形成する（図7（f））。

【0021】

最後に、下部電極123上に容量膜126、TiN膜127、及びリンがドーブされたポリシリコンからなる上部電極128を順に成膜する（図7（g））。以降、公知の工程を用いて配線が行われる。

【0022】

なお、図7（g）は図面を簡単にするために下部電極123上のHSG125を省略した様子を示しているが、実際には図7（f）で示したように下部電極123上にHSG125が形成されている。

【0023】

また、上記工程では、シリンダー層間膜120上のポリシリコン膜をエッチバックによって除去した後にシリンダー122内にHSG125を成長させているが、図8に示すように、シリンダー層間膜120及びシリンダー122内のポリシリコン膜上にHSG125を形成した後、シリンダー層間膜120上のポリシリコン膜及びHSG125をエッチバックによってそれぞれ除去し、シリンダー122内にポリシリコン膜（下部電極123）及びHSG125を残すようにしてもよい。このような手順は、例えば、特開平11-284139号公報に記載されている。

【0024】

次に、図9を用いてスタック構造の容量素子を有する汎用DRAMの製造方法の例について説明する。

【0025】

まず、図6（a）～（c）に示したように、シリンダー構造の容量素子を有する汎用DRAMの製造工程と同様にして、p型半導体基板210上に素子分離領域211及びトランジスタを形成し、全面に層間絶縁膜216を成膜した後、容量コンタクト218を形成する。なお、層間絶縁膜216はBPSG膜上に常圧CVD法により成膜したSiO<sub>2</sub>膜が積層された構造である。

【0026】

次に、容量コンタクト218内に、例えば、リンがドーブされたポリシリコン

膜からなる容量電極 219 を埋め込み (図 9 (a))、リンが注入された厚さ 6000~10000 オングストローム程度のポリシリコン膜 (ドーズ量:  $1 \times 10^{19} \sim 1 \times 10^{20}$  atoms/cm<sup>3</sup> 程度) 222 を全面に成膜する。続いて、全面にフォトレジスト 224 を形成し、容量素子の下部電極 223 となる領域のみにフォトレジスト 224 が残るようにパターニングを行い (図 9 (b))、層間絶縁膜 216 上の不要なポリシリコン膜 222 をエッチング除去して下部電極 223 を形成する。

## 【0027】

次に、フォトレジスト 224 を除去した後、シラン ( $\text{SiH}_4$ ) を照射しつつアニール処理 (500~600℃、10~60 min 程度) を行って HSG の核を下部電極 223 上に形成し、さらに、真空中でアニール処理 (500~600℃、10~60 min) を行うことにより核の周りにグレインを成長させて HSG 224 を形成する (図 9 (c))。

## 【0028】

最後に、下部電極 223 上に容量膜 227、及びリンがドーパされたポリシリコンからなる上部電極 228 を順に成膜する (図 9 (d))。以降、公知の工程を用いて配線が行われる。

## 【0029】

## 【発明が解決しようとする課題】

近年の半導体装置は、CPU、論理回路、記憶装置などの機能をそれぞれ単体で有するだけではなく、それらを 1 つのチップ上に搭載して所望のシステムを実現するシステムオンチップ (SOC) 化が進んでいる。

## 【0030】

このような CPU や論理回路等の CMOS ロジック回路部と DRAM 部が混載される半導体装置において、CMOS ロジック回路部用のトランジスタと DRAM 部のメモリセル用のトランジスタとを形成し、その後、図 6 (c) ~ 図 7 (g) に示した手順でシリンダー構造の容量素子を形成すると、図 7 (f) で示した HSG の成長工程で HSG が正常に形成されない製造不良が発生した。

## 【0031】

一方、CMOSロジック回路部とスタック構造の容量素子を備えたDRAM部が混載される半導体装置では、図9（a）～（d）に示した手順でスタック構造の容量素子を形成すると、図9（c）に示したHSGの成長工程において、HSGが正常に形成される。

#### 【0032】

すなわち、CMOSロジック回路部とシリンダー構造の容量素子を備えたDRAM部が混載される構成で、かつシリンダー層間膜及びシリンダー内にポリシリコン膜を成膜し、シリンダー層間膜上のポリシリコン膜をエッチバックによって除去した後、シリンダー内にHSGを形成する場合にのみHSGが正常に形成されない。このことは、HSGの形成条件（HSGの核付け時間やアニール時間等）を変えても発生する問題であり、再現性がある。

#### 【0033】

なお、スタック構造の容量素子は、図9（c）の工程で形成した下部電極が倒れやすく、下部電極間の距離が近いとHSG同士が繋がってしまう製造不良が発生する。特に、微細化と高容量化を両立させようとする、細く高い下部電極を近接して形成する必要があるために上記製造不良がより発生しやすくなる。したがって、さらなる高集積化が要求される次世代の半導体装置では、容量素子にスタック構造よりもシリンダー構造を用いることが望ましい。

#### 【0034】

本発明は上記したような従来の技術が有する問題点を解決するためになされたものであり、CMOSロジック回路部とシリンダー構造の容量素子を備えたDRAM部が混載される半導体装置であっても、容量素子用のシリンダー内の下部電極上に確実にHSGを形成することが可能な半導体装置の製造方法を提供することを目的とする。

#### 【0035】

##### 【課題を解決するための手段】

上記目的を達成するため本発明の半導体装置の製造方法は、CMOSロジック回路部と、ポリシリコンで形成された、シリンダー型の容量下部電極を有するDRAM部とが混載されたシステムオンチップの半導体装置の製造方法であって、

前記CMOSロジック回路部およびDRAM部のトランジスタをそれぞれ形成する第1の工程と、

全面に層間膜を形成し、前記層間膜に溝部を形成する第2の工程と、

全面にポリシリコン膜を形成し、該ポリシリコン膜の表面にHSGを形成する第3の工程と、

前記溝部以外の前記ポリシリコン膜を除去して前記容量下部電極を形成する第4の工程とを有する方法である。

#### 【0036】

このとき、前記層間膜はBPSGを含むものであり、前記CMOSロジック部が有するpチャネルトランジスタのポリシリコンから成るゲート電極にボロンが注入されたものである。

#### 【0037】

上記のような半導体装置の製造方法は、層間膜及びシリンダー内に形成されたポリシリコン膜上にHSGを形成した後、シリンダー内のポリシリコン膜及びHSGを残して、層間膜上のポリシリコン膜及びHSGを除去することで、CMOSロジック回路部とDRAMが混載された半導体装置であってもシリンダー内にHSGを確実に形成できる。

#### 【0038】

#### 【発明の実施の形態】

次に本発明について図面を参照して説明する。

#### 【0039】

本発明の半導体装置の製造方法は、CMOSロジック回路部とシリンダー構造の容量素子を備えたDRAM部が混載された半導体装置を形成する場合に、図8に示した汎用DRAMの製造工程と同様に、シリンダー層間膜上及びシリンダー内のポリシリコン膜上にHSGを形成した後、シリンダー内のポリシリコン膜及びHSGを残して、シリンダー層間膜上のポリシリコン膜とHSGをそれぞれ除去する方法である。

#### 【0040】

発明者は、CMOSロジック回路部とシリンダー構造の容量素子を備えたDR

AM部が混載された半導体装置の容量素子を上記手順で製造することで、シリンダー内にHSGが確実に形成されることを見出した。

#### 【0041】

この理由は定かではないが、シリンダー層間膜上のポリシリコン膜を除去した後にシリンダー内にHSGを形成する手順でHSGが正常に成長しないのは、HSGを形成する前にポリシリコン膜を除去したことで露出するシリンダー層間膜の影響が考えられる。

#### 【0042】

すなわち、汎用DRAMは、例えば、図1(a)に示すようにメモリセル1と周辺回路2が配置され、チップ面積に占めるメモリセル1の割合は50～60%となる。一方、CMOSロジック回路部とDRAM部が混載された半導体装置では、例えば、図1(b)に示すようにCMOSロジック回路部3とDRAM用のメモリセル1及び周辺回路2が配置されるため、チップ面積に占めるメモリセル1の割合は10～25%である。したがって、汎用DRAMではHSGの形成時に露出しているシリンダー層間膜のチップ面積に対する割合が少なく、逆にCMOSロジック回路部とDRAM部が混載された半導体装置ではシリンダー層間膜のチップ面積に対する割合が多くなる。

#### 【0043】

また、汎用DRAMでは、シリンダー層間膜の成膜後に800℃～850℃、10～30min程度の熱処理を行ってシリンダー層間膜中のBPSSGを焼きしめることが可能であるが、CMOSロジック回路部とDRAM部が混載される半導体装置では、後述するように、高温(800℃以上)を印加することでCMOSロジック回路部用のトランジスタ特性が変化してしまうために上記熱処理を行うことができない。したがって、BPSSG中の不要物(水分等)を十分に除去できないため、これらがHSGの成長時に悪影響を与えるものと思われる。

#### 【0044】

なお、スタック構造の容量素子を形成する場合もHSGの形成時に層間絶縁膜が露出しているが、層間絶縁膜はシリンダー層間膜に比べて薄く、特にBPSSGの絶対量が少ないためにHSGが正常に形成され则认为られる。

## 【 0 0 4 5 】

CMOS ロジック回路部とDRAM部が混載される半導体装置に高温の熱処理を行うことができない理由は以下による。

## 【 0 0 4 6 】

CMOS ロジック回路部用トランジスタには、高速動作等の高い性能が要求されるため、pチャネルトランジスタのゲート電極（ポリシリコン）にボロン（B）を注入し、nチャネルトランジスタのゲート電極（ポリシリコン）にリン（P）を注入してチャネルとゲート電極中の不純物の種類を一致させている。このようにすることで、ゲート酸化膜の直下に空乏領域が形成されて、チャネルが深くなることによるON電流の低減や制御性の低下が防止される。通常、容量素子はトランジスタが形成された後に形成されるため、容量素子の形成工程で高温が印加されると、CMOS ロジック回路部が有するpチャネルトランジスタのゲート電極中のボロン（B）が拡散し、ゲート酸化膜を突き抜けてチャネル中に達する。このボロンの突き抜け現象によってトランジスタのスレショルド電圧 $V_t$ が変化してしまう。

## 【 0 0 4 7 】

一方、汎用DRAMの周辺回路用トランジスタには、高性能が要求されないため、pチャネルトランジスタのゲート電極（ポリシリコン）にnチャネルトランジスタと同じリン（P）を注入して工程数を削減している。したがって、このような構成では上記ボロンの突き抜け現象が発生することはない。また、ゲート電極にボロンを注入する場合でも、汎用DRAMの周辺回路用トランジスタのゲート酸化膜はCMOS ロジック回路部用のトランジスタのそれに比べて厚く形成されるため、上記ボロンの突き抜け現象が発生しない。なお、SOC化された半導体装置に搭載されるDRAM部は、既存の汎用DRAMを機能ブロックとしてそのまま載せるため、一般に、DRAM部の周辺回路用のトランジスタをCMOS ロジック回路部用のトランジスタと同じ構造にすることはない。

## 【 0 0 4 8 】

以上説明したように、CMOS ロジック回路部とシリンダー構造を備えた容量素子を有するDRAMが混載された半導体装置であっても、本発明のようにシリ

ンダー層間膜及びシリンダー内のポリシリコン膜上にHSGを形成した後、シリンダー内のポリシリコン膜及びHSGを残して、シリンダー層間膜上のポリシリコン膜及びHSGを除去することで、シリンダー内にHSGを確実に形成できる。したがって、CMOSロジック回路部とDRAM部が混載された半導体装置内に、高容量で小型化された容量素子を形成することができる。

## 【0049】

次に、本発明の半導体装置の製造方法について図2及び図3を用いて説明する。図2及び図3は本発明の半導体装置の製造手順を示す側断面図である。なお、図2及び図3では、CMOSロジック回路部が形成されるロジック部がMOS構造のnチャネルトランジスタ及びpチャネルトランジスタを有し、メモリセルがMOS構造のnチャネルトランジスタとシリンダー構造の容量素子とを有する場合で説明する。また、上記各トランジスタは同一の半導体基板上に形成されるものとする。また、図2、図3ではDRAM部の周辺回路用のトランジスタを記載していないが、周辺回路用のnチャネルトランジスタはメモリセル用のトランジスタと同じ構成であり、pチャネルトランジスタはチャネル領域やソース・ドレイン領域の不純物の種類が違ふことを除けば基本的に同じ構成である。

## 【0050】

本発明の半導体装置の製造方法では、まず、CMOSロジック回路部及びDRAM部用の各トランジスタを分離するための素子分離領域11として、酸化膜が充填された一様な深さの溝(STI)を公知の方法を用いて半導体基板10に形成する(図2(a))。

## 【0051】

続いて、pチャネルトランジスタの形成領域5に、例えば、ボロンを注入してnウエル領域(不図示)を形成し、nチャネルトランジスタの形成領域4(メモリセル用トランジスタ形成領域6も含む)にヒ素またはリンを注入してpウエル領域(不図示)を形成する。さらに、nチャネルトランジスタの形成領域4、6にボロンを注入してチャネル領域(不図示)を形成し、pチャネルトランジスタの形成領域5にヒ素またはリンを注入してチャネル領域(不図示)を形成する。

## 【0052】

次に、半導体基板 1 0 の表面を熱酸化させることで、厚さ 3 0 ~ 4 0 オングストローム程度のゲート酸化膜 1 2 を成膜し、その上にゲート電極となる厚さ 1 5 0 0 オングストローム程度（3 0 0 0 オングストローム以下）のポリシリコン膜を C V D 法により成膜し、フォトリソグラフィ技術を用いてそれらを所望の形状にパターニングし、各トランジスタのゲート電極 1 3 をそれぞれ形成する。

## 【 0 0 5 3 】

次に、ゲート電極 1 3 をマスクとして用い、n チャネルトランジスタの形成領域 4、6 にヒ素あるいはリンを注入して S D エクステンション領域（不図示）を形成する。同様に、p チャネルトランジスタの形成領域 5 にボロンを注入して S D エクステンション領域（不図示）を形成する。

## 【 0 0 5 4 】

続いて、全面にシリコン酸化膜、シリコン窒化膜またはそれらを積層した絶縁膜を堆積し、エッチバックを行って各ゲート電極の側面にサイドウォール 1 4 をそれぞれ形成する。そして、ゲート電極 1 3 及びサイドウォール 1 4 をマスクとして用い、n チャネルトランジスタの形成領域 4、6 にヒ素あるいはリンを注入してソース・ドレイン領域 1 5 を形成し、p チャネルトランジスタの形成領域 5 にボロンを注入してソース・ドレイン領域 1 5 を形成する（図 2（b））。なお、このときのイオン注入工程によって、n チャネルトランジスタのゲート電極（ポリシリコン）にヒ素あるいはリンを注入し、p チャネルトランジスタのゲート電極にボロンを注入してもよい。

## 【 0 0 5 5 】

次に、半導体基板 1 0 の全面に厚さ 5 0 0 0 ~ 8 0 0 0 オングストローム程度の  $\text{SiO}_2$  からなる層間絶縁膜 1 6 を常圧 C V D 法を用いて成膜し、その上にフォトレジスト 1 7 を成膜してパターニングを行い、フォトレジスト 1 7 開口部の層間絶縁膜 1 6 をエッチング除去して、メモリセル用のトランジスタ 6 のドレインと層間絶縁膜 1 6 の上面を繋げる容量コンタクト 1 8 を形成する（図 2（c））。なお、層間絶縁膜 1 6 は B P S G を含む構成にしてもよい。

## 【 0 0 5 6 】

次に、フォトレジスト 1 7 を除去した後、容量コンタクト 1 8 内に、例えば、



リンがドーピングされたポリシリコンをCVD法により埋め込み、エッチバックすることで不要なポリシリコンを除去し、容量コンタクト18内に容量電極19を形成する。

## 【0057】

続いて、全面に厚さ6000～14000オングストローム程度のBPSGからなるシリンダー層間膜20を成膜する。なお、シリンダー層間膜20はBPSG膜の上に常圧CVD法により成膜したSiO<sub>2</sub>膜が積層された構造であってもよい。

## 【0058】

次に、全面にフォトリジスト21を形成してパターニングを行い、フォトリジスト21の開口部のシリンダー層間膜20をエッチング除去して、容量コンタクト18とシリンダー層間膜20の上を繋げる溝であるシリンダー22を形成する(図2(d))。このとき形成されたシリンダー22内にDRAM用の容量素子が形成される。

## 【0059】

次に、フォトリジスト21を除去した後、シリンダー22の内壁を含む全面に、容量素子の下部電極23となるリンが注入された厚さ1500～3000オングストローム程度のポリシリコン膜(ドーピング量:  $1 \times 10^{19} \sim 1 \times 10^{20}$  atoms/cm<sup>3</sup>程度)を成膜する(図3(e))。続いて、シランを照射しつつアニール処理(500～600℃、10～60min程度)を行ってHSGの核をシリンダー層間膜20上及びシリンダー22内の下部電極23上に形成し、さらに、真空中でアニール処理(500～600℃、10～60min)を行うことにより核の周りにグレインを成長させてシリンダー層間膜20上及びシリンダー22内のポリシリコン膜上にHSG24を形成する。

## 【0060】

次に、全面にフォトリジスト25を形成し、シリンダー22内のみにフォトリジスト25が残るようにパターニングを行い(図3(f))、シリンダー層間膜20上のポリシリコン膜及びHSG24をそれぞれエッチング除去する。

## 【0061】

最後に、シリンダー 2 2 内のフォトリソスト 2 5 を除去し、下部電極 2 3 上に容量膜 2 6、及びポリシリコンから成る上部電極 2 8 を順に成膜する（図 3（g））。以降、公知の工程によって配線が行われる。

【0062】

なお、容量膜 2 6 に  $Ta_2O_5$  膜を用いる場合は、図 3（g）に示すように、 $Ta_2O_5$  膜とポリシリコンの反応を抑制するための  $TiN$  膜 2 7 が  $Ta_2O_5$  膜上に成膜される。また、図 3（g）は図面を簡単にするために下部電極 2 3 上の HSG 2 4 を省略した様子を示しているが、実際には図 3（f）で示したように下部電極 2 3 上に HSG 2 4 が形成される。

【0063】

【発明の効果】

本発明は以上説明したように構成されているので、以下に記載する効果を奏する。

【0064】

層間膜及びシリンダー内に形成されたポリシリコン膜上に HSG を形成した後、シリンダー内のポリシリコン膜及び HSG を残して、層間膜上のポリシリコン膜及び HSG を除去することで、シリンダー内に HSG を確実に形成できるため、CMOS ロジック回路部と DRAM 部が混載された半導体装置内に高容量で小型化された容量素子を形成することができる。

【図面の簡単な説明】

【図 1】

半導体装置の素子配置の一例を示す図であり、同図（a）は汎用 DRAM の平面図、同図（b）は CMOS ロジック回路部と DRAM が混載された半導体装置の平面図である。

【図 2】

本発明の半導体装置の製造手順を示す側断面図である。

【図 3】

本発明の半導体装置の製造手順を示す側断面図である。

【図 4】

シリンダー構造の容量素子を有する汎用 D R A M の要部の構造を示す側断面図である。

【図 5】

スタック構造の容量素子を有する汎用 D R A M の要部の構造を示す側断面図である。

【図 6】

従来のシリンダー構造の容量素子を有する半導体装置の製造手順を示す側断面図である。

【図 7】

従来のシリンダー構造の容量素子を有する半導体装置の製造手順を示す側断面図である。

【図 8】

従来のシリンダー構造の容量素子を有する半導体装置の他の製造手順を示す側断面図である。

【図 9】

従来のスタック構造の容量素子を有する半導体装置の製造手順を示す側断面図である。

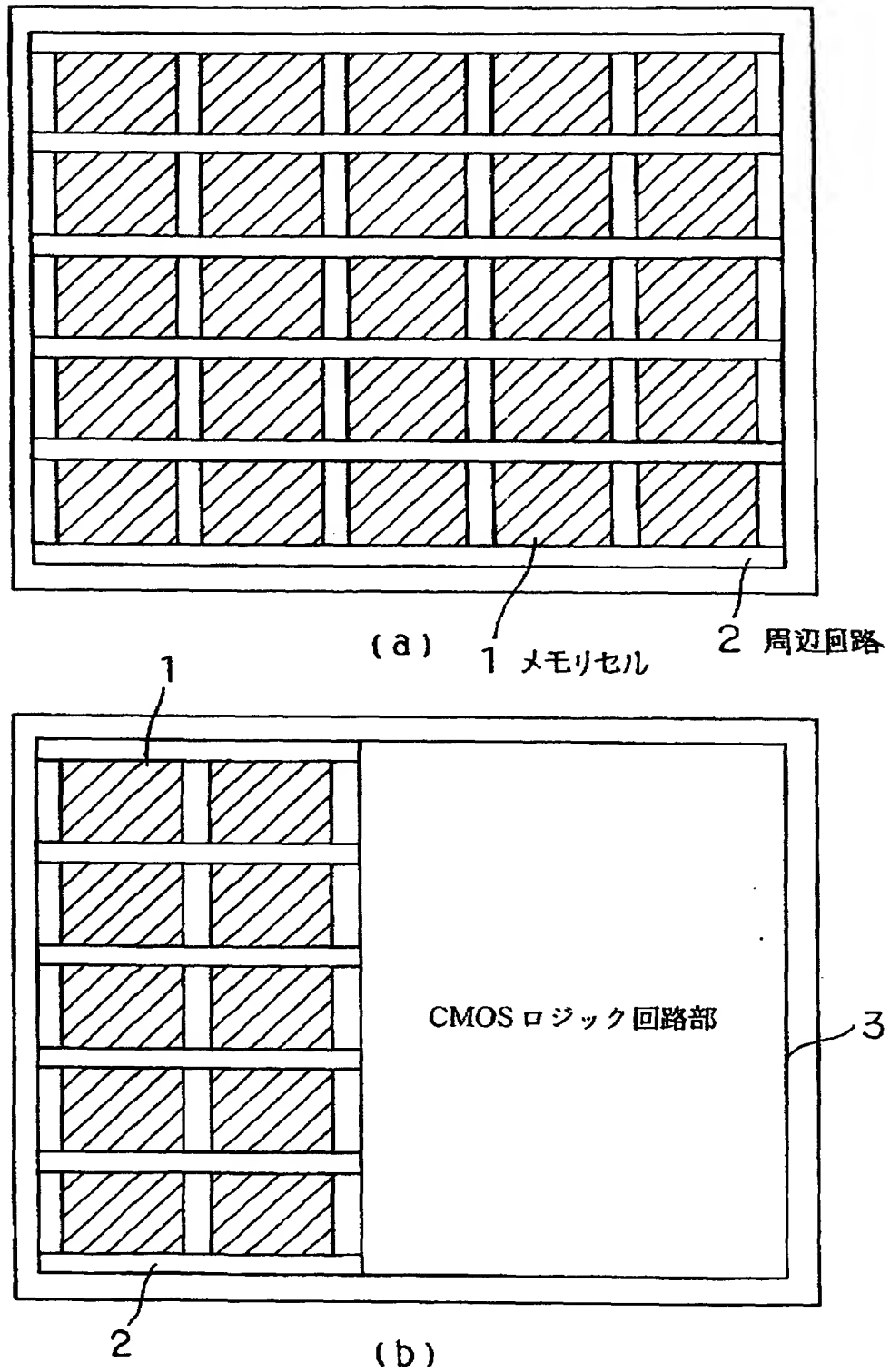
【符号の説明】

- 1      メモリセル
- 2      周辺回路
- 3      C M O S ロジック回路部
- 4      n チャネルトランジスタ形成領域
- 5      p チャネルトランジスタ形成領域
- 6      メモリセル用トランジスタ形成領域
- 1 0    半導体基板
- 1 1    素子分離領域
- 1 2    ゲート酸化膜
- 1 3    ゲート電極
- 1 4    サイドウォール

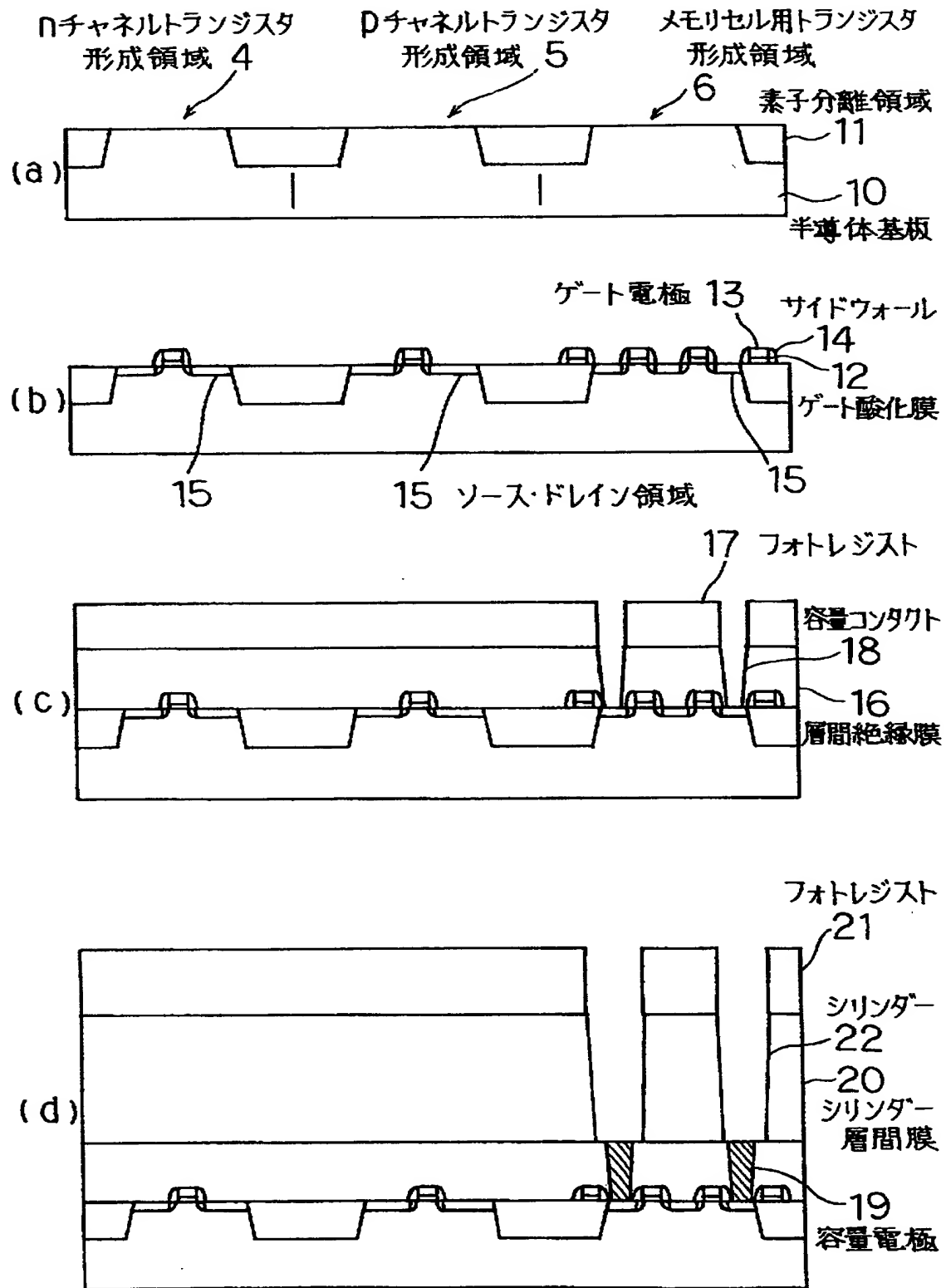
- 1 5 ソース・ドレイン領域
- 1 6 層間絶縁膜
- 1 7、2 1、2 5 フォトリジスト
- 1 8 容量コンタクト
- 1 9 容量電極
- 2 0 シリンダー層間膜
- 2 2 シリンダー
- 2 3 下部電極
- 2 4 H S G
- 2 6  $T a_2 O_5$ 膜
- 2 7  $T i N$ 膜
- 2 8 上部電極

【書類名】 図面

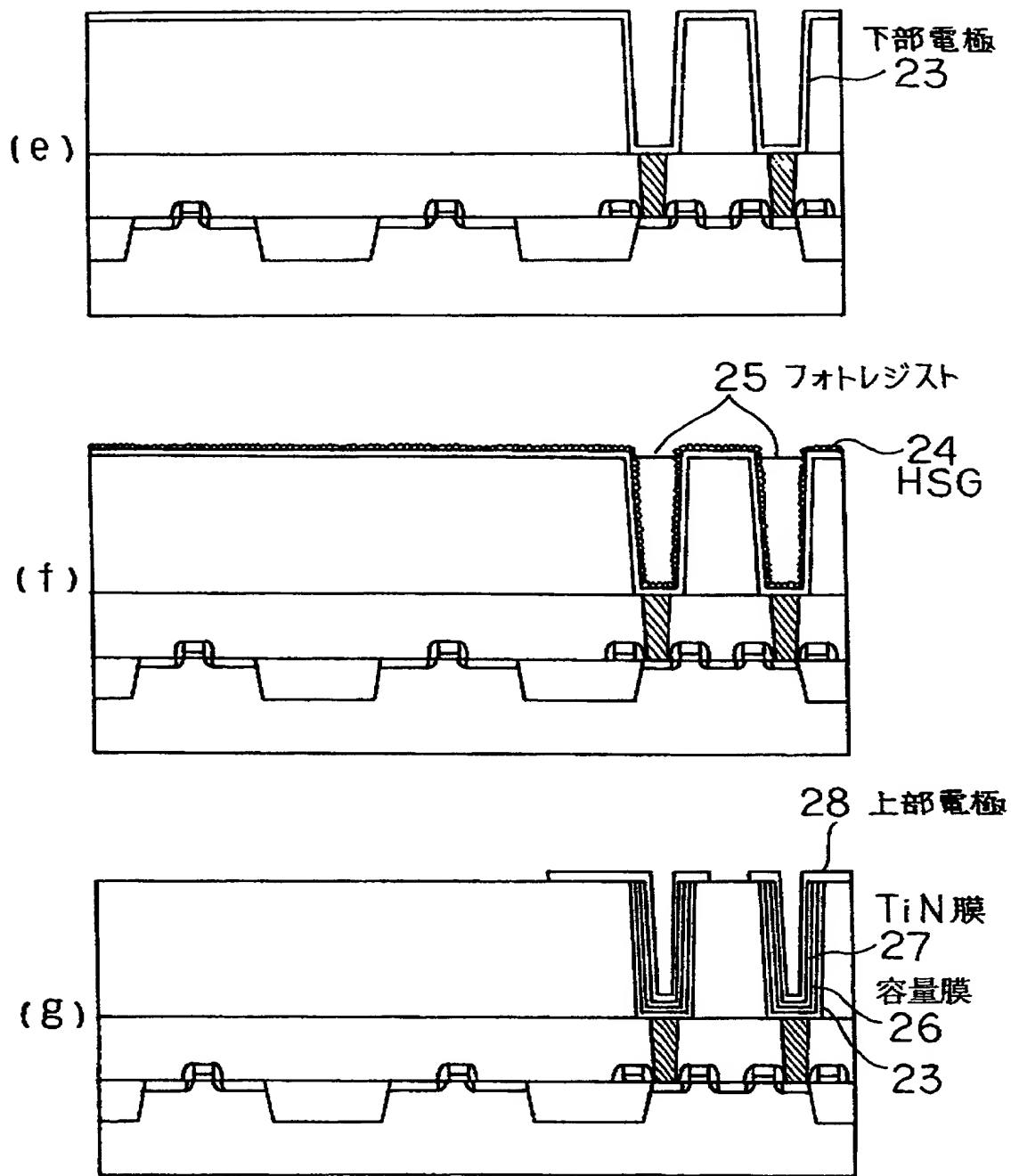
【図1】



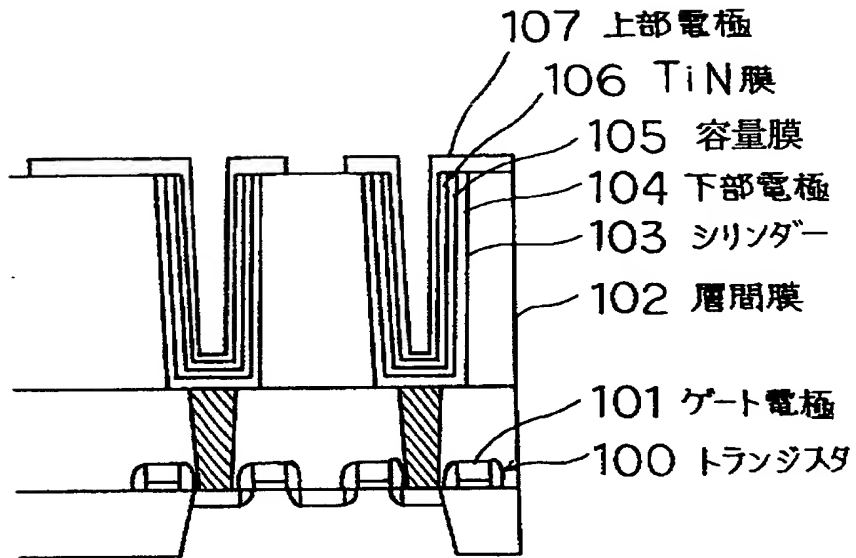
【図 2】



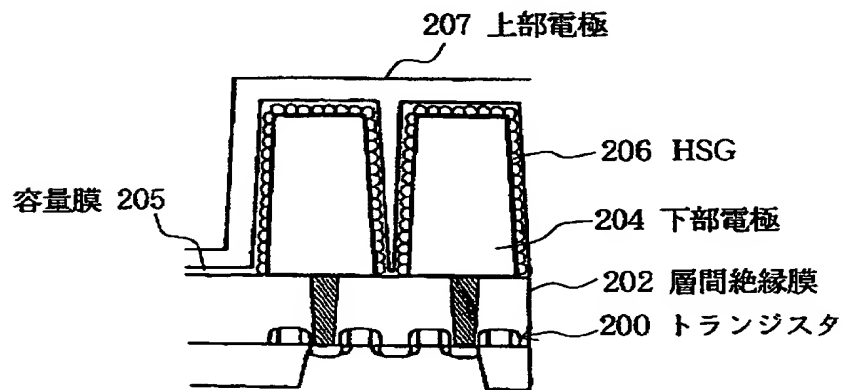
【図3】



【図4】

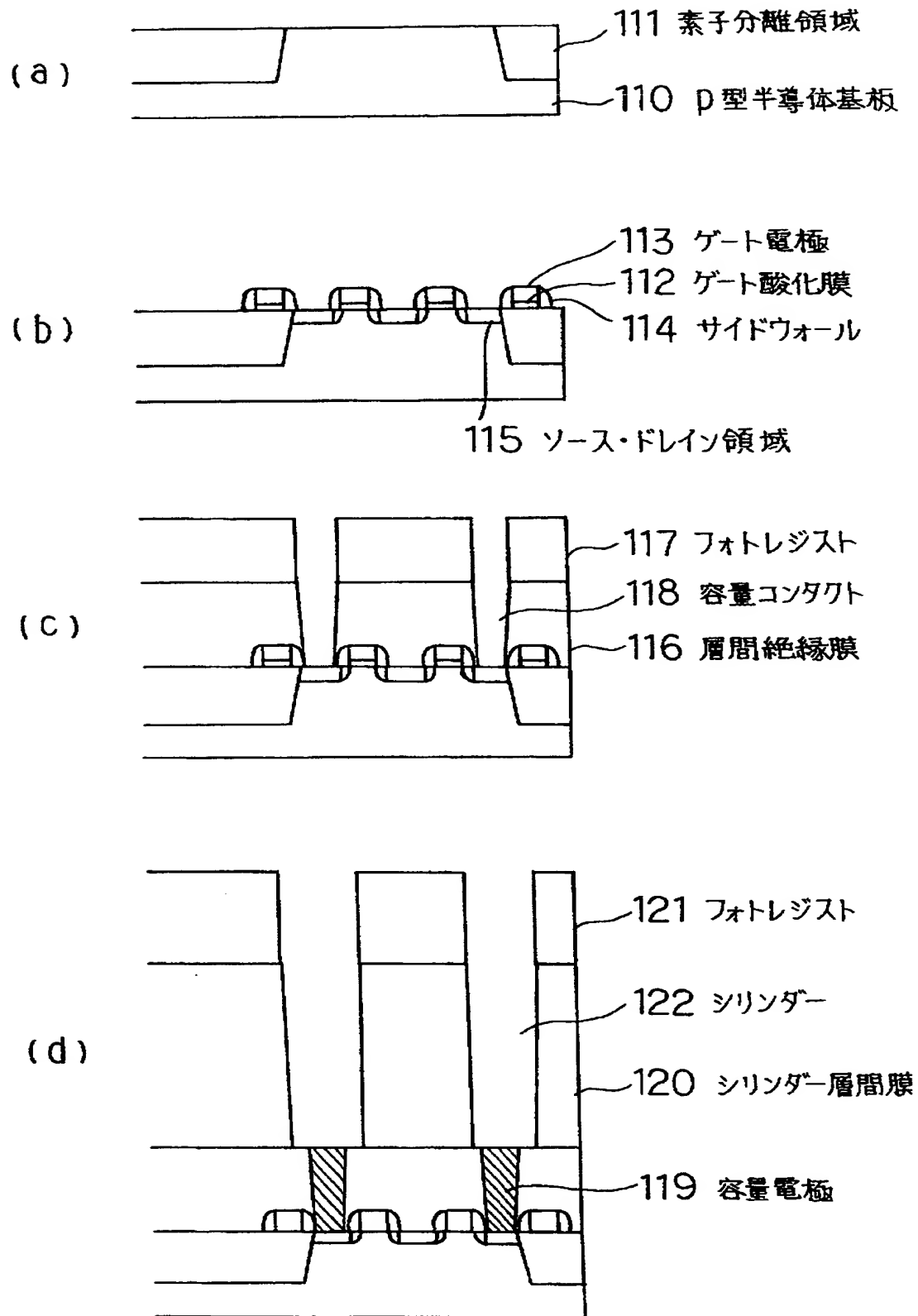


【図5】

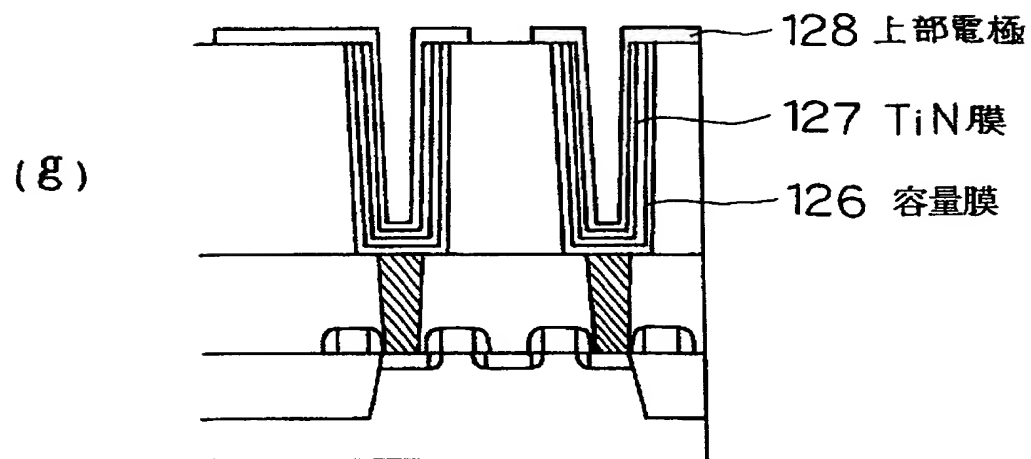
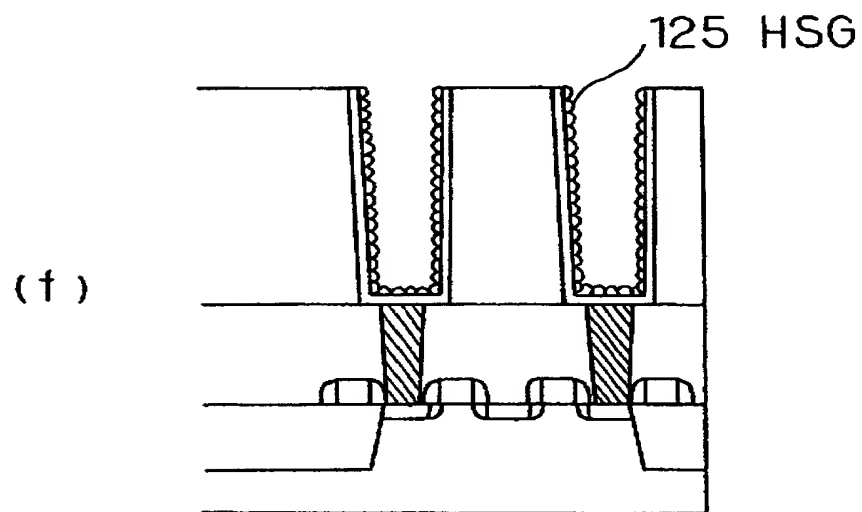
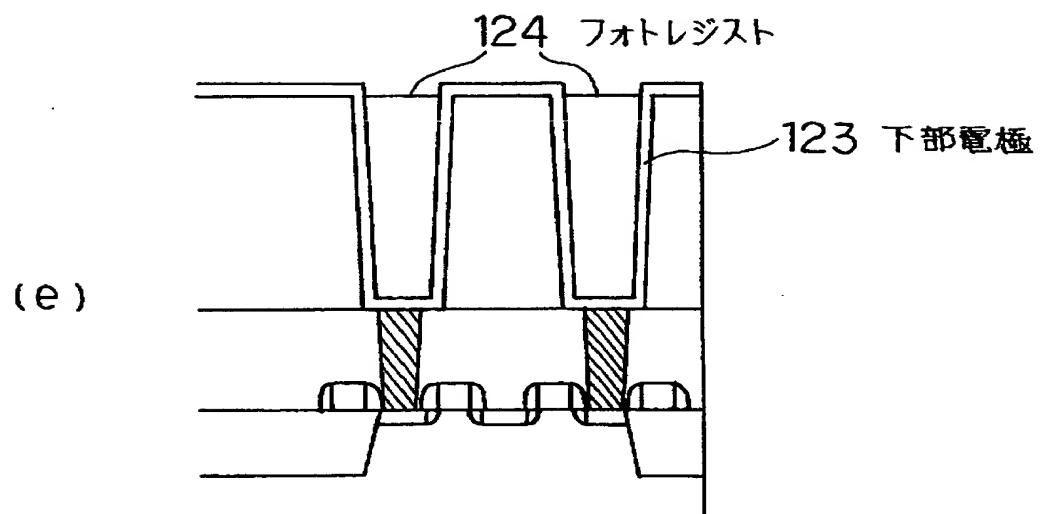




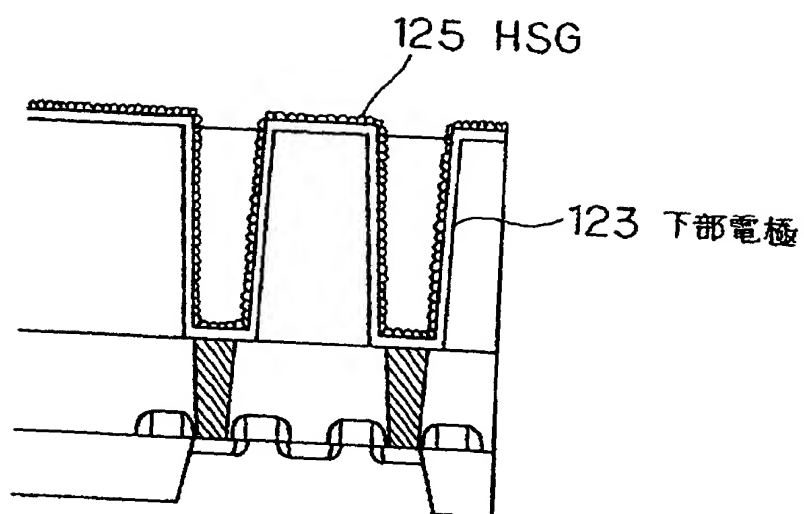
【図6】



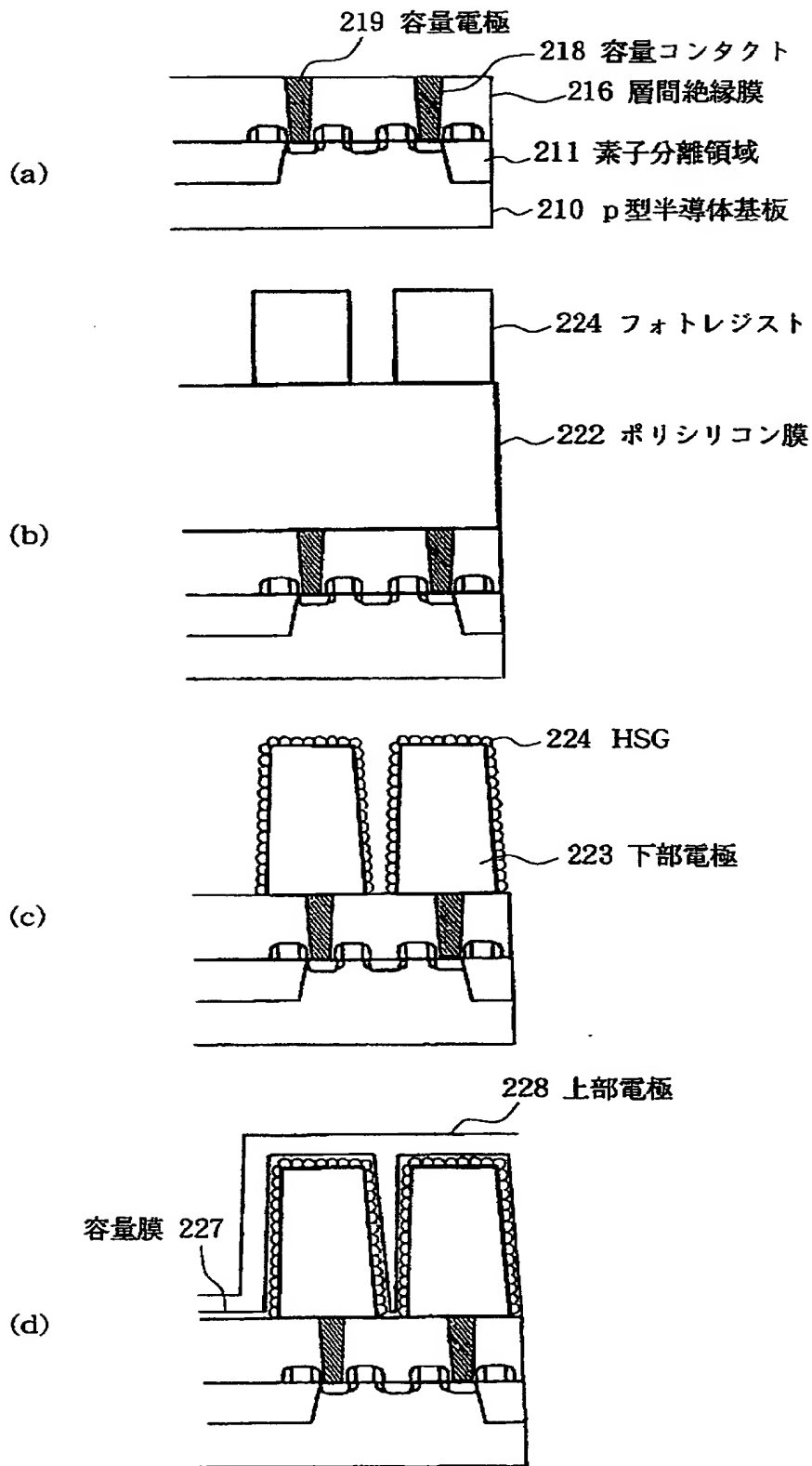
【図7】



【図8】



【図 9】



【書類名】 要約書

【要約】

【課題】 C M O S ロジック回路部とシリンドー構造の容量素子を備えた D R A M 部が混載される半導体装置であっても、容量素子用のシリンドー内の下部電極上に確実に H S G を形成することが可能な半導体装置の製造方法を提供する。

【解決手段】 下部電極上に H S G が形成された、信号電荷を蓄積することで情報を記憶するための容量素子を有する D R A M と、論理回路を構成するロジックデバイスとが混載された半導体装置の製造方法に関し、容量素子を形成するために層間膜に設けられた溝であるシリンドーの内壁及び層間膜上に、下部電極となるポリシリコン膜をそれぞれ成膜し、シリンドー内及び層間膜上に成膜されたポリシリコン膜上に H S G をそれぞれ形成し、シリンドー内のポリシリコン膜及び H S G を残して、層間膜上のポリシリコン膜及び H S G をそれぞれ除去する。

【選択図】 図 3

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 4 2 3 7 ]

1. 変更年月日 1 9 9 0 年 8 月 2 9 日

[変更理由] 新規登録

住 所 東京都港区芝五丁目7番1号

氏 名 日本電気株式会社